

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-318742

(43)Date of publication of application : 27.12.1988

(51)Int.Cl.

H01L 21/318

H01L 21/318

H01L 21/92

(21)Application number : 62-156346

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.06.1987

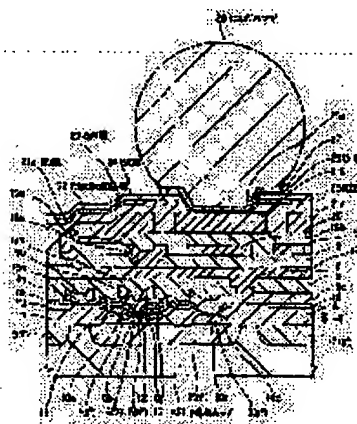
(72)Inventor : OWADA NOBUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve the moisture resistance of a protective film for a semiconductor integrated circuit device, in which a bump is formed to a wiring through an opening shaped to the protective film, by composing the protective film of an insulating film for flattening the surface, a silicon nitride film formed onto the insulating film and a silicon oxide film shaped onto the silicon nitride film.

CONSTITUTION: In a semiconductor integrated circuit device in which a bump 28 is shaped to a wiring 21 through an opening formed to a protective film 25, said protective film 25 is constituted of an insulating film 22 for flattening the surface, a silicon nitride film 23 shaped onto the insulating film, and a silicon oxide film 24 formed onto the silicon nitride film 23. The insulating film 22 for flattening the surface is shaped onto the wiring 21 such as wirings 21aW21c for a bipolar LSI through the bias sputtering of SiO₂, etc., and the silicon nitride film 23 such as the SiN film 23 is formed onto the insulating film 22 through plasma CVD. The silicon oxide film 24 such as the SiO film 24 is shaped onto the SiN film 23 through plasma CVD. Accordingly, the protective film 25 is formed, an opening 25a is shaped to the specified section of the protective film 25, and the solder bump 28 is formed through a Cr film 26, a Cu film 34 and an Au film 35.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

		(19) Japan Patent Office (JP)	(11) Patent Application
		(12) Japanese Laid Open Patent Publication (A)	S63-318742
(51) Int. Cl ⁴	ID	Office Ref.No.	(43) Publication December 27, 1988
H 01 L 21/3		6708-5F	
18			
21/316		6708-5F	
21/92		C-6708-5F	

Examination Apply No The number of inventions 2 (total 6 pages)

- (54) Title of the invention Semiconductor integrated circuit device and production method thereof
 (21) Patent Application S62-156346
 (22) Filed on June 22, 1987
- (72) Inventor Noburo Owada c/o Decive Development Center, Hitachi Seisakusho Co., Ltd.
 2326 Imai, Ohme-shi, Tokyo
- (71) Applicant Hitachi Seisakusho Co., Ltd., 6 Kanda-Surugadai 4-chome, Chiyoda-ku, Tokyo
- (74) Representative Nobuyoshi Akita, Patent Attorney

Specification

1. Title of the invention

Semiconductor integrated circuit device and production method thereof

2. Claims

Claim 1.

A semiconductor integrated circuit device in which bumps are provided on the wiring through openings formed in the protective coating, characterized by the fact that the protective coating consists of an insulating film for flattening the surface, a silicon nitride film on the insulating film, and a silicon oxide film on the silicon nitride film.

Claim 2.

The semiconductor integrated circuit device according to Claim 1 characterized by the fact that the insulating film is a silicon oxide film formed by bias sputtering.

Claim 3.

The semiconductor integrated circuit device according to Claim 1 characterized by the fact that the insulating film is a silicon oxide film formed by plasma CVD combined with sputter etching.

Claim 4.

The semiconductor integrated circuit device according to any one of Claims 1 to 3 characterized by the fact that the silicon nitride film is a silicon nitride film formed by plasma CVD.

Claim 5.

The semiconductor integrated circuit device according to any one of Claims 1 to 4 characterized by the fact that the package of the semiconductor integrated circuit device is a non-hermetically sealed package.

Claim 6.

The semiconductor integrated circuit device according to Claim 5 characterized by the fact that the package is a pin grid array package.

Claim 7.

The semiconductor integrated circuit device according to any one of Claims 1 to 6 characterized by the fact that the semiconductor integrated circuit device is a bipolar LSI.

Claim 8.

A method for producing a semiconductor integrated circuit device in which bumps are provided on the wiring through openings formed in the protective coating characterized by comprising the steps of forming an insulating film for flattening the surface so as to fill grooves between the wiring; and forming a silicon nitride film on the insulating film; and forming a silicon oxide film on the silicon nitride film wherein the protective coating consists of the insulating film, the silicon nitride film, and the silicon oxide film.

Claim 9.

The method for producing a semiconductor integrated circuit device according to Claim 8 characterized by the fact that the insulating film is a silicon oxide film and the silicon oxide film is formed by bias sputtering.

Claim 10.

The method for producing a semiconductor integrated circuit device according to Claim 8 characterized by the fact that the insulating film is a silicon oxide film and the silicon oxide film is formed by plasma CVD combined with sputter etching

Claim 11.

The method for producing a semiconductor integrated circuit device according to any one of Claims 8 to 10 characterized by the fact that the silicon nitride film is formed by plasma CVD.

Claim 12.

The method for producing a semiconductor integrated circuit device according to any one of Claims 8 to 11 characterized by the fact that the semiconductor integrated circuit device has a non-hermetically sealed package.

Claim 13.

The method for producing a semiconductor integrated circuit device according to Claim 13 characterized by the fact that the package is a pin grid array package.

Claim 14.

The method for producing a semiconductor integrated circuit device according to any one of Claims 8 to 13 characterized by the fact that the semiconductor integrated circuit device is a bipolar LSI.

3. Detailed explanation of the invention**[Scope of the invention]**

The present invention relates to a semiconductor integrated circuit device and production method thereof, and relates in particular to technology usefully applied to a semiconductor integrated circuit device in which bumps are provided to the wiring through openings formed in the protective coating.

[Prior art technology]

In accordance with higher speed and more highly integrated LSIs, reduced signal delay times and higher density mounting have come to be recently required to a great extent in LSI mounting. So-called CCB (Controlled Collapse Bonding) is an important technique for connections. As is reported in the IBM Journal of Research and Development, May 1969, silicon dioxide (SiO_2) is used as a protective coating of LSI chips where the CCB connection technique is used.

[Problems overcome by the invention]

However, the inventors found that only hermetically sealed packages are usable for those LSIs in which a SiO_2 protective coating is adopted because of low moisture resistance.

The purpose of the present invention is to provide a technique to improve the protective coating in moisture resistance.

The above and other purposes and novel properties of the present invention will be apparent from the description and attached drawings of the specification.

[Problem resolution means]

Among the inventions disclosed in this application, a representative invention is summarized as follows.

According to the first invention, the protective coating consists of an insulating film for flattening the surface, a silicon nitride film on the insulating film, and a silicon oxide film on the silicon nitride film.

According to the second invention, a protective coating is provided by forming an insulating film for flattening the surface so as to fill grooves between the wiring; forming a silicon nitride film on the insulating film; and forming a silicon oxide film on the silicon nitride film wherein the protective coating consists of the insulating film, silicon nitride film, and silicon oxide film.

[Operation]

According to the first invention described above, the protective coating comprises a silicon nitride film having moisture resistance. In addition, formed on the surface-flattening insulating film, the silicon nitride film is uniform in thickness and quality even where the grooves between the wiring have larger aspect ratios. Therefore, the protective coating has improved moisture resistance.

According to the second invention described above, a silicon moisture resistant nitride film is formed. In addition, formed on the surface-flattening insulating film, the silicon nitride film is uniform in thickness and quality even where the grooves between the wiring have

larger aspect ratios. Therefore, a protective coating having excellent moisture resistance is formed.

[Embodiment]

An embodiment is described hereafter, with reference to the drawings.

The same reference numbers are given to the functionally same elements throughout the drawings and an explanation of these is not repeated.

Fig.1 is a cross section showing essential elements of a bipolar LSI of an embodiment of the present invention.

As is shown in Fig.1, the bipolar LSI of this embodiment has, for example, an n^+ buried layer 2 on the surface of for example a p-type silicon semiconductor chip (semiconductor substrate) 1. For example an n-type silicon epitaxial layer 3 is provided on the semiconductor chip 1. A field insulating film 4, for example a SiO_2 film, is provided on epitaxial layer 3 in a specific position, which serves as a separator between elements as well as within an element. For example a p-type channel stopper region 5 is provided below the field insulating film 4. For example a p-type intrinsic base region 6 and for example a p-type graft base region 7 are provided in the epitaxial layer 3 at the part surrounded by the field insulating film 4. For example an n^+ -type emitter region 8 is provided in the intrinsic base region 6. The emitter region 8, intrinsic base region 6, and collector region consisting of the epitaxial layer 3 and buried layer 2 below the intrinsic base region 6 constitute an npn-type bipolar transistor. The reference number 9 indicates for example an n^+ type collector pick-up region connected to the buried layer 2. The reference number 10 indicates an insulating film, for example a SiO_2 film, provided as continuous part of the field insulating film 4. The insulating film 10 has openings 10a to 10c corresponding to the graft base region 7, emitter region 8, and collector pick-up region 9, respectively. A polycrystal silicon base lead electrode 11 is connected to the graft base region 7 via the opening 10a. A polycrystal silicon emitter electrode 12 is provided on the emitter region 8 via the opening 10b. The reference numbers 13 and 14 indicates for example SiO_2 insulating films.

The reference numbers 15a to 15c indicate the first level of, for example, aluminum wiring. The wiring 15a is connected to the base lead electrode 11 via an opening 14a formed in the insulating film 14, the wiring 15b is connected to the polycrystal silicon emitter electrode

12 via the opening 14b, and the wiring 15c is connected to the collector pick-up region 9 via the openings 14c and 10c. The reference number 16 indicates an interlayer insulating film, for example, consisting of a SiN film formed by plasma CVD, a spin-on glass (SPG), and a SiO film formed by plasma CVD. The second level of, for example, aluminum wiring 17 is provided on the interlayer insulating film 16. Wiring 17 is connected to the wiring 15c via a through-hole 16a formed in the interlayer insulating film 16. The through-hole 16 is stepped so as to improve the step coverage of the wiring 17 in the through-hole 16a. The reference number 18 indicates an interlayer insulating film similar to the interlayer insulating film 16. The third level of for example aluminum wiring 19a to 19c is provided on the interlayer insulating film 18. The wiring 19a is connected to the wiring 17c via a through-hole 18a formed in the interlayer insulating film 18. The reference number 20 indicates an interlayer insulating film similarly to the interlayer insulating films 16 and 18. The fourth level of for example aluminum wiring 21a to 21c is provided on the interlayer insulating film 20. The wiring 21a to 21c is made larger in thickness for larger electric currents, for example having a thickness of 2 μ m. The grooves between the wiring 21a to 21c has a width of, for example, 2 μ m. Therefore, the grooves have a relatively large aspect ratio (groove depth / groove width) of 1.

The reference number 22 is for example a SiO₂ insulating film for flattening, which is formed by for example SiO₂ bias sputtering or plasma CVD combined with sputter etching. Completely filling the grooves between the wiring 21a to 21c, the insulating film 22 has a nearly flat surface. The insulating film 22 can be a silicate glass film such as PSG (phospho-silicate glass), BSG (boro-silicate glass), and BPSG (boro-phospho-silicate glass), formed by normal pressure CVD combined with sputter etching. A SiN film 23 is provided on the insulating film 22, which is formed for example by plasma CVD. As is well known, the SiN film 23 has moisture resistance. In this case, the insulating film 22 has a flat surface including the regions of the grooves between the wiring 21a to 21c. Therefore, the SiN film 23 also has a flat surface and is uniform in thickness and quality. This can result in improving the protective coating 25, described hereafter, in terms of moisture resistance, in comparison with the prior art. This allows the LSI to have a non-hermetically sealed package. A SiO film 24 formed by plasma CVD, for example, is provided on the SiN film 23. The insulating film 22, SiN film 23, and SiO film 24 constitute the chip protective coating 25. The SiO film 24 serves to ensure the bond performance of a chrome (Cr) film 26, described hereafter, to the protective coating 25 and to prevent the SiN film 23 from being etched during the dry etching of the Cr film 26.

An opening 25a is formed in the protective coating 25 through which, for example, a Cr film 26 is provided on the wiring 21b. A lead (Pb) - Sn alloy solder bump 28 is provided on the Cr film 26 via, for example, copper (Cu) - tin (Sn) intermetallic compound film 27. Fig.2 is a cross section of a pin grid array (PGA) package in which the bipolar LSI of Fig.1 is sealed.

As shown in Fig.2, in the pin grid array package, a semiconductor chip 1 is connected to a chip carrier 29 made of for example mullite ($3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$) through the solder bump 28. The reference number 30 indicates a cap made of silicon carbide (SiC). The back surface of the semiconductor chip 1 (the surface with no elements formed) is in contact with the cap 30 via, for example, solder wax 31, which allows efficient heat dissipation from the semiconductor chip 1 to the cap 30. When the package is mounted on a module board, the cap 30 makes contact with a heat dissipation fin (not shown) for efficient heat dissipation from the package. The reference number 32 is a resin, for example epoxy resin. The epoxy resin 32 seals the semiconductor chip 1. Hence, the package is a non-hermetically sealed package. As described above, the protective coating has excellent moisture resistance and therefore allows the use of a non-hermetically sealed package, resulting in reduced package prices. The reference number 33 indicates input/output pins. The input/output pins 33 are connected to the solder bump 28 via multilevel wiring (not shown) provided to the chip carrier 29.

A method for producing the bipolar LSI shown in Fig.1 is described next. The process steps until the interlayer film 20 is obtained are omitted.

As is shown in Fig.3, after the wiring 21a to 21c are formed on the interlayer insulating film 20, the insulating film 22, for example a SiO_2 film, is formed by, for example, SiO_2 bias sputtering or plasma CVD combined with sputter etching. As described above, the insulating film 22 has a nearly flat surface. Assuming the grooves between the wiring 21a to 21c are $2\mu\text{m}$ both in depth and length, the insulating film 22 can obtain a nearly flat surface with a film thickness of $3.5\mu\text{m}$ by means of SiO_2 bias sputtering or a film thickness of $1.5\mu\text{m}$ by means of plasma CVD combined with sputter etching.

As shown in Fig.4, the SiN film 23 having a thickness of, for example, 5000\AA is formed on the insulating film 22, for example, by plasma CVD.

Then, as is shown in Fig.5, the SiO film 24 having a thickness of, for example, 1 μ m is formed on the SiN film 23, for example, by plasma CVD, thereby forming a protective coating having excellent moisture resistance.

Then, as shown in Fig.6, the protective coating 25 is etched and removed in a specific region to form the opening 25a where the surface of the wiring 21b is exposed. Then, the Cr film 26 is blanket deposited to a thickness of, for example, 2000Å followed by the Cu film 34 to a thickness of for example 500Å and a gold (Au) film 35 to a thickness of, for example, 1000Å. Then, the Au film 35, Cu film 34, and Cr film 26 are etched and patterned into a specific fashion. Here, the Au film 35 serves to prevent oxidation of the Cu film 34 and the Cu film 34 serves to ensure wetting properties on the substrate of the solder bump 28. For example, the Au film 35 and Cu film 34 can be wet etched and the Cr film 26 can be dry etched using, for example mixed CF₄ and O₂ gas. As described above, the SiO film 24 serves as a etching stopper during dry etching, preventing the underlying SiN film 23 from being etched. The Au film 35, Cu film 34, and Cr film 26 are generally referred to as BLM (Ball Limiting Metallization).

As shown in Fig.7, after a specific resist pattern 36 is formed on the SiO film 24, Pb film 37 and Sn film 38 are sequentially formed, for example, by blanket deposition. The Au film 35, Cu film 34, and Cr film 26 are covered with the Pb film 37 and Sn film 38. The thicknesses of the Pb film 37 and Sn film 38 are selected in a manner in which the solder later formed bump 28 has a specified Sn content.

Then, the resist pattern 36 is removed together with the Pb film 37 and Sn film 38 formed thereon (so called lift-off technique), which is followed by heating at a specific temperature. This alloys the Pb film 37 and Sn film 38 to create a nearly spherical Pb-Sn alloy solder bump 28. During the alloying, Sn in the Sn film 38 is alloyed with Cu in the Cu film 34, forming the Cu-Sn inter-metallic compound 27 between the solder bump 28 and the Cr film 26. In practice, the solder bump 28 contains Au from the Au film 35.

The present invention is described hereafter based on the embodiment. However, the present invention is not confined to this and various modifications are available within the scope of the present invention.

For example, the solder bump 28 is used to connect the semiconductor chip 1 to the chip carrier 29 in the embodiment above. This solder bump 28 can be used to connect plural semiconductor chips 1 to one another. The present invention can be applied to various types of semiconductor integrated circuit devices that have bump connections.

[Efficacy of the invention]

The representative efficacies disclosed in this specification are as follows.

The protective coating is improved in moisture resistance according to the first invention.

Protective coating having excellent moisture resistance is formed according to the second invention.

4. Brief explanation of the drawings

Fig.1 is a cross section showing the essential elements of a bipolar LSI according to an embodiment of the present invention.

Fig.2 is a cross section showing a pin grid array package in which the bipolar LSI shown in Fig.1 is sealed.

Figs. 3 to 7 are cross sections showing the manufacturing processes of the bipolar LSI shown in Fig.1.

In the figure:

1...semiconductor chip, 6...intrinsic base region, 3...emitter region, 16, 18, 20...interlayer insulating film, 21a to 21c...wiring, 22...insulating film (insulating film for flattening the surface), 23...SiN film, 23...SiO film, 25...protective coating, 26...Cr film, 27...intermetallic compound layer, 28...solder bump, 29...chip carrier, 32...resin, 34...Cu film, 35...Au film, 37...Pb film, 38...Sn film.

Representative Nobuyoshi Akita, Patent Attorney

⑪ 公開特許公報(A)

昭63-318742

⑫ Int. Cl.⁴H 01 L 21/318
21/316
21/92

識別記号

庁内整理番号

6708-5F
6708-5F
C-6708-5F

⑬ 公開 昭和63年(1988)12月27日

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体集積回路装置及びその製造方法

⑮ 特 願 昭62-156346

⑯ 出 願 昭62(1987)6月22日

⑰ 発 明 者 大 和 田 伸 郎 東京都青葉区今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 秋 田 収 喜

明 細 書

1. 発明の名称

半導体集積回路装置及びその製造方法

2. 特許請求の範囲

1. 保護膜に設けられる開口を通じて配線にパン
プが設けられる半導体集積回路装置であって、
表面平坦化用の絶縁膜と、この絶縁膜上に設け
られている窒化シリコン膜と、この窒化シリコ
ン膜上に設けられている酸化シリコン膜とによ
り前記保護膜が構成されていることを特徴とす
る半導体集積回路装置。
2. 前記絶縁膜がバイアススパッタにより形成さ
れた酸化シリコン膜であることを特徴とする特
許請求の範囲第1項記載の半導体集積回路装置。
3. 前記絶縁膜がプラズマCVDとスパッタエッ
チングとの組み合わせにより形成された酸化シ
リコン膜であることを特徴とする特許請求の範
囲第1項記載の半導体集積回路装置。
4. 前記窒化シリコン膜がプラズマCVDにより
形成された窒化シリコン膜であることを特徴と

する特許請求の範囲第1項～第3項のいずれか
一項記載の半導体集積回路装置。

5. 前記半導体集積回路装置のパッケージが非気
密封止型のパッケージであることを特徴とする
特許請求の範囲第1項～第4項のいずれか一項
記載の半導体集積回路装置。
6. 前記パッケージがピングリッドアレイ型のパ
ッケージであることを特徴とする特許請求の範
囲第5項記載の半導体集積回路装置。
7. 前記半導体集積回路装置がバイポーラLSI
であることを特徴とする特許請求の範囲第1項
～第6項のいずれか一項記載の半導体集積回路
装置。
8. 保護膜に設けられる開口を通じて配線にパン
プが設けられる半導体集積回路装置の製造方法
であって、前記配線の間の溝を埋めるように表
面平坦化用の絶縁膜を形成する工程と、前記絶
縁膜上に窒化シリコン膜を形成する工程と、前
記窒化シリコン膜上に酸化シリコン膜を形成す
る工程とを具備し、前記絶縁膜と前記窒化シリ

コン膜と前記酸化シリコン膜とにより前記保護膜が構成されることを特徴とする半導体集積回路装置の製造方法。

9. 前記絶縁膜が酸化シリコン膜であり、この酸化シリコン膜をバイアスパッタにより形成するようにしたことを特徴とする特許請求の範囲第8項記載の半導体集積回路装置の製造方法。

10. 前記絶縁膜が酸化シリコン膜であり、この酸化シリコン膜をプラズマCVDとスパッタエッチングとの組み合わせにより形成するようにしたことを特徴とする特許請求の範囲第8項記載の半導体集積回路装置の製造方法。

11. 前記酸化シリコン膜をプラズマCVDにより形成するようにしたことを特徴とする特許請求の範囲第8項～第10項のいずれか一項記載の半導体集積回路装置の製造方法。

12. 前記半導体集積回路装置のパッケージが非気密封止型のパッケージであることを特徴とする特許請求の範囲第8項～第11項のいずれか一項記載の半導体集積回路装置の製造方法。

ム ジャーナル オブ リサーチ アンド ディベロップメント、1969年5月号 (IBM J. Res. & Dev. May 1969)において論じられているように、従来、このCCB方式による接続を用いたLSIのチップ保護膜としては二酸化シリコン(SiO_2)膜が用いられている。

(発明が解決しようとする問題点)

しかしながら、本発明者の検討によれば、上述のように保護膜が SiO_2 膜である場合には耐湿性が低く、このためLSIのパッケージとしては気密封止型のパッケージしか用いることができなかった。

本発明の目的は、保護膜の耐湿性の向上を図ることができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりで

13. 前記パッケージがピングリッドアレイ型のパッケージであることを特徴とする特許請求の範囲第13項記載の半導体集積回路装置の製造方法。

14. 前記半導体集積回路装置がバイポーラLSIであることを特徴とする特許請求の範囲第8項～第13項のいずれか一項記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置及びその製造方法に関し、特に、保護膜に設けられる開口を通じて配線にパンプが設けられる半導体集積回路装置に適用して有効な技術に関するものである。

(従来技術)

近年、LSIの高速化及び高集積化に伴い、LSIの実装方式においても実装による信号遅延時間の短縮及び高密度実装化の要求が高まり、いわゆるCCB (Controlled Collapse Bonding)方式による接続が重要になってきている。アイビーエ

ある。

すなわち、第1の発明においては、表面平坦化用の絶縁膜と、この絶縁膜上に設けられている酸化シリコン膜と、この酸化シリコン膜上に設けられている酸化シリコン膜とにより保護膜が構成されている。

また、第2の発明においては、配線の間の溝を埋めるように表面平坦化用の絶縁膜を形成する工程と、前記絶縁膜上に酸化シリコン膜を形成する工程と、前記酸化シリコン膜上に酸化シリコン膜を形成する工程とを具備し、前記絶縁膜と前記酸化シリコン膜と前記酸化シリコン膜とにより保護膜が構成される。

(作用)

第1の発明の上記した手段によれば、保護膜が耐湿性を有する酸化シリコン膜を有し、しかもこの酸化シリコン膜は表面平坦化用の絶縁膜の上に設けられているために配線間の溝のアスペクト比が大きい場合においてもその膜厚及び膜質を均一とすることができるので、保護膜の耐湿性の向上

を図ることができる。

また、第2の発明の上記した手段によれば、耐湿性を有する窒化シリコン膜を形成し、しかも表面平坦化用の絶縁膜の上にこの窒化シリコン膜を形成しているために配線間の溝のアスペクト比が大きい場合においてもその膜厚及び膜質を均一とすることができるので、耐湿性に優れた保護膜を形成することができる。

〔実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能を有するものには同一符号を付け、その繰り返しの説明は省略する。

第1図は、本発明の一実施例によるバイポーラLSIの要部を示す断面図である。

第1図に示すように、本実施例によるバイポーラLSIにおいては、例えばp型シリコンから成る半導体チップ(半導体基板)1の表面に例えばn型の埋め込み層2が設けられ、この半導体チップ

この絶縁膜10には、前記グラフトベース領域7、前記エミッタ領域8及び前記コレクタ取り出し領域9に対応してそれぞれ開口10a~10cが設けられている。そして、この開口10aを通じて前記グラフトベース領域7に多結晶シリコン膜から成るベース引き出し電極11が接続されているとともに、開口10bを通じて前記エミッタ領域8上に多結晶シリコンエミッタ電極12が設けられている。なお、符号13、14は、例えばSiO₂膜のような絶縁膜である。

符号15a~15cは例えばアルミニウム膜から成る一層目の配線であり、このうち配線15aは絶縁膜14に設けられた開口14aを通じてベース引き出し電極11に、配線15bは開口14bを通じて多結晶シリコンエミッタ電極12に、配線15cは開口14c及び前記開口10cを通じてコレクタ取り出し領域9にそれぞれ接続されている。また、符号16は、例えばプラズマCVDにより形成されたSiN膜とスピノングラス(SOG)膜とプラズマCVDにより形成されたSiO₂膜とから成る層間絶縁膜で

1上に例えばn型シリコンのエピタキシャル層3が設けられている。このエピタキシャル層3の所定部分には例えばSiO₂膜のようなフィールド絶縁膜4が設けられ、これにより素子間分離及び素子内の分離が行われている。このフィールド絶縁膜4の下方には、例えばp型のチャネルストップ領域5が設けられている。また、このフィールド絶縁膜4で囲まれた部分のエピタキシャル層3中には、例えばp型の真性ベース領域6及び例えばp型のグラフトベース領域7が設けられ、この真性ベース領域6中に例えばn型のエミッタ領域8が設けられている。そして、このエミッタ領域8と、前記真性ベース領域6と、この真性ベース領域6の下方におけるエピタキシャル層3及び埋め込み層2から成るコレクタ領域とにより、npn型バイポーラトランジスタが構成されている。また、符号9は、埋め込み層2と接続されている例えばn型のコレクタ取り出し領域である。符号10は、前記フィールド絶縁膜4に連なって設けられている例えばSiO₂膜のような絶縁膜であって、

ある。この層間絶縁膜16の上には、例えばアルミニウム膜から成る二層目の配線17が設けられている。この配線17は、前記層間絶縁膜16に設けられているスルーホール16aを通じて前記配線15cに接続されている。なお、このスルーホール16aは階段状の形状を有し、これによってこのスルーホール16aにおける前記配線17のステップカバレージの向上を図っている。符号18は前記層間絶縁膜16と同様な層間絶縁膜である。この層間絶縁膜18の上には、例えばアルミニウム膜から成る三層目の配線19a~19cが設けられ、このうち配線19aは、前記層間絶縁膜18に設けられているスルーホール18aを通じて前記配線17に接続されている。さらに、符号20は前記層間絶縁膜16、18と同様な層間絶縁膜であり、この層間絶縁膜20の上には、例えばアルミニウム膜から成る四層目の配線21a~21cが設けられている。これらの配線21a~21cは、大電流を流すことができるように下層の配線に比べて厚く構成され、例えば2μmの厚さを有する。また、これらの配線21a~21cの間の溝

の幅は例えば $2\mu\text{m}$ であり、従ってこの溝のアスペクト比（溝の深さ／溝の幅）は例えば1と大きな値である。

符号22は例えば SiO_2 膜のような表面平坦化用の絶縁膜であり、例えば SiO_2 のバイアススパッタや、プラズマCVDとスパッタエッチングとの組み合わせにより形成されたものである。この絶縁膜22によって前記配線21a～21cの間の溝は完全に埋められているため、この絶縁膜22の表面はほぼ平坦となっている。なお、この絶縁膜22としては、例えば常圧CVDとスパッタエッチングとの組み合わせにより形成されたPBG (phospho-silicate glass) 膜、BSG (boro-silicate glass) 膜、BPSG (boro-phospho-silicate glass) 膜等のシリケートガラス膜を用いることも可能である。この絶縁膜22の上には、例えばプラズマCVDにより形成されたSiN膜23が設けられている。周知のように、このSiN膜23は耐酸性を有する。この場合、前記絶縁膜22の表面は前記配線21a～21cの間の溝の部分を含めて平坦であるので、こ

のSiN膜23の表面も平坦となっている。このため、このSiN膜23の膜厚及び膜質は均一であり、従って従来に比べて後述の保護膜25の耐酸性の向上を図ることができる。これによって、LSIのパッケージとして非気密封止型のパッケージを用いることができる。このSiN膜23の上には、例えばプラズマCVDにより形成された SiO_2 膜24が設けられている。そして、前記絶縁膜22と前記SiN膜23とこの SiO_2 膜24とによりチップ保護用の保護膜25が構成されている。この場合、前記 SiO_2 膜24は、この保護膜25に対する後述のクロム(Cr)膜28の接着性を確保するとともに、このCr膜28のドライエッチング時に前記SiN膜23がエッチングされるのを防止する役割を果たす。

前記保護膜25には開口25aが設けられ、この開口25aを通じて前記配線21b上に例えばCr膜26が設けられている。そして、このCr膜28の上に例えば銅(Cu)-すず(Sn)系金属間化合物層27を介して鉛(Pb)-Sn合金系のはんだバンプ28が設けられている。

第2図は、第1図に示すバイポーラLSIを封止したピングリッドアレイ(PGA)型パッケージを示す断面図である。

第2図に示すように、このピングリッドアレイ型パッケージにおいては、例えばムライト($3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$)から成るチップキャリア29上に半導体チップ1が前記のはんだバンプ28を用いて接続されている。また、符号30は、例えば炭化ケイ素(SiC)から成るキャップである。前記半導体チップ1の裏面（素子が形成されていない面）は例えばはんだのろう材31を介してこのキャップ30と接触しており、これによって半導体チップ1からこのキャップ30への熱放散を効果的に行うことができるようになっている。なお、このパッケージをモジュール基板等に実装する場合には、前記キャップ30に放熱フィン（図示せず）を接触させ、これによってパッケージからの放熱を効果的に行うようになっている。また、符号32は例えばエポキシ樹脂のような樹脂であり、この樹脂32によって半導体チップ1が封止されている。すなわち、

このパッケージは、非気密封止型のパッケージである。この場合、既述のように保護膜25の耐酸性が優れているので、このように非気密封止型のパッケージを用いることができ、これによってパッケージの低価格化を図ることができる。なお、符号33は入出力ピンであり、これらの入出力ピン33は、チップキャリア29に設けられた多層配線（図示せず）により前記のはんだバンプ28に接続されている。

次に、第1図に示すバイポーラLSIの製造方法について説明する。なお、層間絶縁膜20を形成するまでの工程の説明は省略する。

第3図に示すように、層間絶縁膜20上に配線21a～21cを形成した後、例えば SiO_2 のバイアススパッタや、プラズマCVDとスパッタエッチングとの組み合わせにより例えば SiO_2 膜のような絶縁膜22を形成する。既述のように、この絶縁膜22の表面はほぼ平坦にすることができる。なお、配線21a～21cの間の溝の深さ及び幅が例えばそれぞれ $2\mu\text{m}$ であるとする、 SiO_2 のバイアス

スパッタを用いて絶縁膜22を形成する場合にはその膜厚が例えば3.5 μ m程度でほぼ平坦な表面が得られ、プラズマCVDとスパッタエッチングとの組み合わせにより絶縁膜22を形成する場合にはその膜厚が例えば1.5 μ m程度でほぼ平坦な表面が得られる。

次に第4図に示すように、例えばプラズマCVDにより前記絶縁膜22の上に例えば膜厚が5000ÅのSiN膜23を形成する。

次に第5図に示すように、例えばプラズマCVDにより前記SiN膜23の上に例えば膜厚が1 μ mのSiO膜24を形成する。このようにして、耐湿性に優れた保護膜25が形成される。

次に第6図に示すように、保護膜25の所定部分をエッチング除去することにより開口25aを形成してこの部分に配線21bの表面を露出させ、この状態で例えば蒸着により全面に例えば膜厚が2000ÅのCr膜26、例えば膜厚が500ÅのCu膜34及び例えば膜厚が1000Åの金(Au)膜35を順次形成した後、これらのAu膜35、Cu膜34及びCr膜26

をエッチングにより所定形状にパターンニングする。この場合、前記Au膜35は前記Cu膜34の酸化を防止するためのものであり、前記Cu膜34ははんだパンプ28の下地との密着性を確保するためのものである。また、前記Au膜35及びCu膜34のエッチングは例えばウエットエッチングにより行い、Cr膜26のエッチングは例えばC₂F₆とO₂との混合ガスを用いたドライエッチングにより行う。既述のように、このドライエッチングの際には、前記SiO膜24がエッチングストッパーとして働くため、下層のSiN膜23がエッチングされるのを防止することができる。なお、前記Au膜35、Cu膜34及びCr膜26は、通常、B L M (Ball Limiting Metallization)と呼ばれている。

次に第7図に示すように、前記SiO膜24上に所定形状のレジストパターン36を形成した後、例えば蒸着により全面にPb膜37及びSn膜38を順次形成することにより、前記Au膜35、Cu膜34及びCr膜26をこれらのPb膜37及びSn膜38により覆う。これらのPb膜37及びSn膜38の膜厚は、後に形成されるは

んだパンプ28中のSn含有率が所要の値になるように選択される。

次に、前記レジストパターン36をその上に形成されたPb膜37及びSn膜38とともに除去（いわゆるリフトオフ）した後、所定の温度で熱処理を行う。これにより前記Pb膜37及びSn膜38が合金化して、第1図に示すように、ほぼ球状のPb-Sn合金系のはんだパンプ28が形成される。この合金化の際には、Sn膜38中のSnが前記Cu膜34中のCuと合金化することにより、このはんだパンプ28と前記Cr膜26との間にCu-Sn系金属間化合物層27が形成される。なお、実際には、このはんだパンプ28中には、前記Au膜35からのAuも含まれている。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、上述の実施例においては、半導体チップ1とチップキャリア29との接続にはんだパンプ28を用いた場合について説明したが、例えば複数

の半導体チップ1同士の接続にこのはんだパンプ28を用いてもよい。また、本発明は、パンプにより接続を行う各種半導体集積回路装置に適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、第1の発明によれば、保護膜の耐湿性の向上を図ることができる。

また、第2の発明によれば、耐湿性に優れた保護膜を形成することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例によるバイポーラLSIの要部を示す断面図。

第2図は、第1図に示すバイポーラLSIを封止したピングリッドアレイ型パッケージを示す断面図。

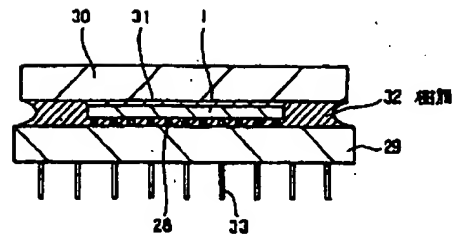
第3図～第7図は、第1図に示すバイポーラLSIの製造方法を工程順に説明するための断面図

である。

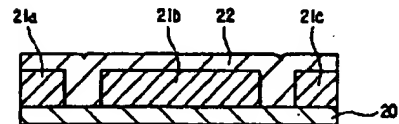
図中、1…半導体チップ、6…真性ベース領域、8…エミッタ領域、16、18、20…層間絶縁膜、21a～21c…配線、22…絶縁膜（表面平坦化用の絶縁膜）、23…SiN膜、24…SiO膜、25…保護膜、26…Cr膜、27…金属間化合物層、28…はんだパンブ、29…チップキャリア、32…樹脂、34…Cu膜、35…Au膜、37…Pb膜、38…Sn膜である。

代理人 弁理士 秋田敬喜

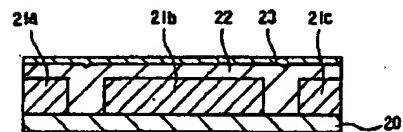
第2図



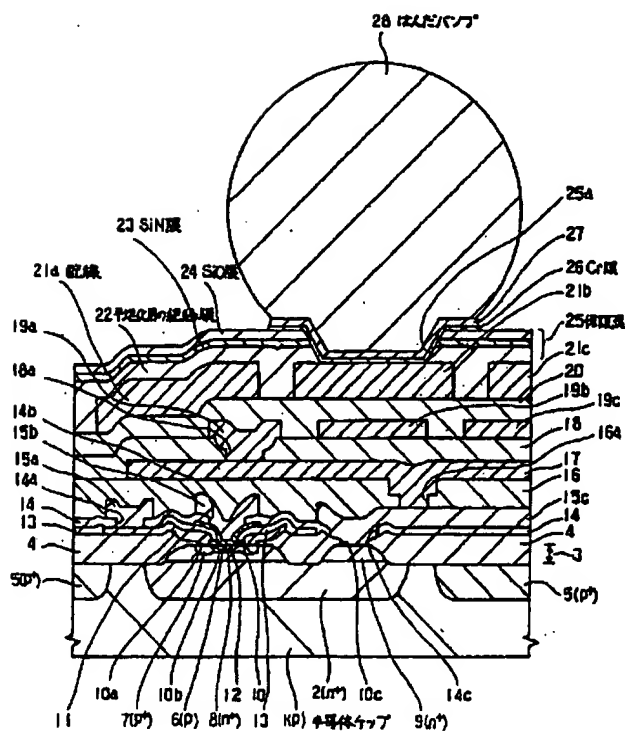
第3図



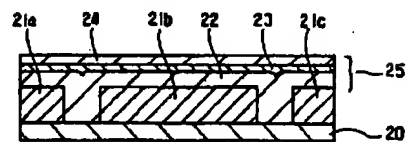
第4図



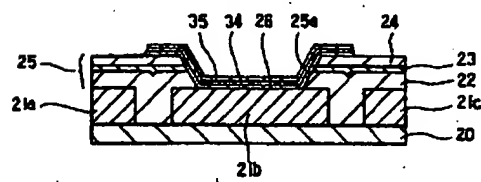
第1図



第5図



第6図



第7図

